

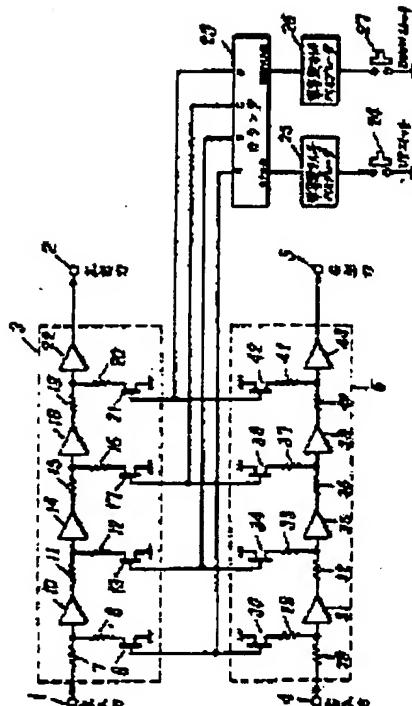
## SIGNAL LEVEL CONTROL UNIT

**Patent number:** JP55068712  
**Publication date:** 1980-05-23  
**Inventor:** TOMITA MASAO  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
 - **international:** H03G3/00  
 - **European:**  
**Application number:** JP19780142592 19781117  
**Priority number(s):**

### Abstract of JP55068712

**PURPOSE:** To realize the level setting featuring a small amount of the inter-channel deviation by installing the signal attenuator groups to each transmission line and then giving the control to the these signal attenuation quantity via the common digital signals.

**CONSTITUTION:** With push of UP-switch, monostable multivibrator 25 is triggered to generate one unit of the pulse. This pulse is supplied to the UP input terminal of counter 23. Thus the UP counting is given to counter 23, output A is turned to H, analog switches 9 and 30 conduct, and the resistance attenuator of the 1st step is set under the attenuation state for resistance attenuator groups 3 and 6 each to give attenuation of, for example, 1dB. Then in case attenuation of, for example, 3dB is given, switch 24 is pushed three times. In this case, three units of the pulse are generated from monostable multivibrator 25 are generated to be applied to the UP input terminal of counter 23. Thus output A and B of counter 23 are turned to H along with output C and D turned to L each. Accordingly, switches 9, 13, 30 and 34 conduct, and the attenuators of 1st and 2nd steps are attenuated to give the attenuation quantity to the both channels. While DOWN-switch 27 is pushed when the increment of the sound volume is desired.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑩ 日本国特許庁 (JP)  
⑪ 特許出願公開  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭55-68712

⑬ Int. Cl.<sup>3</sup>  
H 03 G 3/00

識別記号

序内整理番号  
7154-5 J

⑬ 公開 昭和55年(1980)5月23日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ 信号レベル制御装置

⑮ 特願 昭53-142592  
⑯ 出願 昭53(1978)11月17日  
⑰ 発明者 富田雅夫

門真市大字門真1006番地松下電器産業株式会社内

⑮ 出願人 松下電器産業株式会社

門真市大字門真1006番地

⑯ 代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

信号レベル制御装置

2. 特許請求の範囲

- (1) 複数の信号伝送路に、それぞれに複数個のアナログスイッチを含めて成る信号減衰器群を設け、それらの信号減衰器群を共通のデジタル信号で同時に制御するように構成したことを特徴とする信号レベル制御装置。
- (2) 特許請求の範囲第(1)項の記載において、前記デジタル信号は手動スイッチによって計数が実行されるカウンタの出力より得ることを特徴とする信号レベル制御装置。
- (3) 特許請求の範囲第(1)項の記載において、前記デジタル信号は前記信号伝送路の信号レベルに対応したパルスとするようにしたことを特徴とする信号レベル制御装置。
- (4) 特許請求の範囲第(3)項の記載において、前記信号レベルは前記複数個の信号伝送路における信号を加算して得るよう構成したことを特徴

とする信号レベル制御装置。

2ページ

(5) 特許請求の範囲第(3)項の記載において、前記信号レベルは前記複数個の信号伝送路から選択回路によって選択するよう構成したことを特徴とする信号レベル制御装置。

3. 発明の詳細な説明

本発明はステレオ式テープレコーダなどに用いて好適な信号レベル制御装置に関するもので、特に共通のデジタル信号によって複数個の信号伝送路の信号レベルを同時に制御し得るデジタル式信号レベル制御装置を提供するものである。

従来、テープデッキなどにおいて録音しようとする場合、VUメータを監視しながら、それぞれのチャンネルに加えられた入力信号をそれぞれのチャンネルの可変抵抗器で適当なレベルに設定していた。

この場合、両チャンネルの調節が必要であり、その操作の煩わしさとともにVUメータの指示値は時々刻々と変化するものであり、最適レベルに設定するには相当の熟練を必要とするなどの問題が

あった。

また、2速可変抵抗器を用いて両チャンネルの信号レベルを同時に調節できるものもあるが、2速可変抵抗器の構造上、チャンネル間の抵抗値偏差および他の回路角に対する抵抗値変化特性のバラツキなどにより両チャンネルのレベルに差を生じることは不可避であった。

さらにAGCと称される自動利得制御により入力信号の平均値に応じて記録レベルを自動調整する方法もあるが、この場合、両チャンネルに供給する制御電圧は同じであっても可変抵抗素子のバラツキにより、やはりチャンネル間にレベル差を生じるという欠点があった。

本発明は、デジタルカウンタの計数値に応じて減衰量がデジタル的に制御される抵抗減衰器群などの信号減衰器群を複数の信号伝送路にそれぞれ配置し、デジタルカウンタへの計数入力として手動操作によって発生されるパルスを印加するか、または信号伝送路の信号レベルに対応した数のパルス列を印加するかを選択できるように構成し、

5 ...  
が1、入力抵抗が無限大、出力抵抗が零の増幅器である。

同様に抵抗11・12とアナログスイッチ13およびバッファ増幅器14は2段目の抵抗減衰器を、抵抗15・16とアナログスイッチ17およびバッファ増幅器18は3段目の抵抗減衰器を、そして抵抗19・20とアナログスイッチ21およびバッファ増幅器22は第4段目の抵抗減衰器をそれぞれ構成している。これらの1段目から4段目までの抵抗減衰器は総統接続されて抵抗減衰器群3を形成している。なお、それらの各抵抗減衰器は、それぞれ減衰モードで異なる減衰量、例えば1dB、2dB、4dB、8dBに設定されている。

抵抗減衰器群8も抵抗減衰器群3と全く同様で抵抗28・29・32・33・36・37・40・41、アナログスイッチ30・34・38・42およびバッファ増幅器31・35・39・43から構成されている。

これらの抵抗減衰器群3および8は、カウンタ23

特開昭55-68712(2)

複数チャンネルの信号レベルを手動または自動で同時に、かつ僅少のレベル偏差でもって調節できる信号レベル制御装置を提供するものである。

以下、本発明を図示の実施例に基いて説明する。

第1図は本発明の一実施例の要部回路構成を示す構成図である。同図において、入力端子1には例えば音声信号の左チャンネル信号が印加され、抵抗減衰器群3によって適当なレベルに設定された出力端子2に取り出される。同様に入力端子4には右チャンネル信号が印加され、抵抗減衰器群8を経て出力端子5にレベル設定された右チャンネル信号が取り出される。抵抗器7・8、アナログスイッチ8およびバッファ増幅器10は抵抗減衰器の1段目を構成し、アナログスイッチ8が導通状態の時に該抵抗減衰器は減衰モードを呈し、アナログスイッチ8が遮断状態の時に該抵抗減衰器は非減衰モードを呈し、入力信号をそのまま次段に伝達する。なお、バッファ増幅器10は、1段目の抵抗減衰器と2段目の抵抗減衰器との相互影響を防止するためのものであり、理想的には利得

6 ...  
に接続され、カウンタ23にはUPスイッチ24により駆動される单安定マルチバイブレータ25およびDOWNスイッチ27により駆動される单安定マルチバイブレータ26が接続されている。なお、この第1図の実施例および後述する第2図の実施例においては、アナログスイッチとして電界効果トランジスタを使用した場合を例示している。

第1図の信号レベル制御装置で、入出力間の減衰量を増して音量を下げたい時には、使用者はUPスイッチ24を押して短絡する。これにより单安定マルチバイブレータ26はトリガされ、適当な振幅と時間幅のパルスを1個発生する。このパルスはカウンタ23のUP入力端子に印加され、カウンタ23をUP計数され、カウンタ23の最小桁出力Aを'H'にし、アナログスイッチ8および30を導通状態に転じ、各抵抗減衰器群3および8の1段目の抵抗減衰器を減衰状態にして各々1dBの減衰を与える。

UPスイッチ24は自動跳ね返り式で常に開放

位置に戻るものを用いている。したがって例えば 3 dB の減衰を与えたいた場合には、UPスイッチ 24 を 3 度押せばよい。この時、半安定マルチバイブレータ 26 からは 3 個のパルスが発生され、これがカウンタ 23 の UP 入力端子に印加され、カウンタの A および B 出力を 'H' 、C および D 出力を 'L' とする。したがって、アナログスイッチ 8、18 および 30、34 が導通状態、アナログスイッチ 17、21 および 38、42 が遮断状態となり、1 段目と 2 段目の減衰器が減衰状態で 3 段目と 4 段目は非減衰状態となり、結果 3 dB の減衰量を両チャンネルに与える。また、設定されている減衰量を誤らして音量を上げたい時には DOWNスイッチ 27 を押せば、今度はもう一方の半安定マルチバイブルエタ 26 がトリガされ、計数パルスをカウンタ 23 の DOWN入力端子に印加し、カウンタ 23 の計数をダウントさせ、抵抗減衰器を減衰状態から非減衰状態に転じることにより実行される。なお、UPスイッチ 24 および DOWNスイッチ 27 がいずれも開放状態の時にはカ

7

第 3 の特長として、本発明では信号減衰器群と操作スイッチとはパルス信号で結合しているため距離的に離して配置することが容易であり、信号減衰器群のみを信号伝送路付近に配置しておけば良く、システムの設計に自由度を増すばかりでなく、リモートコントロールに非常に適したものである点があげられる。

さらに第 4 の特長として、本発明の実施例のとく構成した場合にはカウンタ 23 のデジタル出力により抵抗減衰器群 3 および 6 を共通に制御するため、左右チャンネル間の偏差が非常に小さくなる。すなわち各減衰器の抵抗値精度のみがチャンネル間誤差を決定し、例えば抵抗値精度士 5% のものを用いたとすれば設定値 1 dB の減衰器の誤差は最大 0.05 dB である。したがって両チャンネルのレベルバランスは非常に良好である。

第 2 図に本発明の他の実施例を示す。これはテープデッキの録音レベル設定を自動的に行なうようにしたもので、第 1 図と同一部分は同一の符号を付している。同図において、加算器 51 は左入

カウンタ 23 にパルスが印加されないので計数は行なわれず、一定の減衰量を保持する。

なお、第 1 図で説明した信号量制御装置は例えばテープレコードの録音レベルの設定やステレオ再生装置の音量調節などに用いることができ、次に示すような効果が期待できる。その第 1 は、従来の可変抵抗器を用いた信号量制御に対し、制御の直線性が優れている点である。

すなわち、従来の回転式可変抵抗器では回転角度に対する減衰量の関係が直線でないが、本発明の実施例では操作スイッチ 24 および 27 の押した回数と信号の減衰量は完全に対応する。したがって本発明によれば定量的な減衰度の設定が容易で従来の可変抵抗器のように目盛を目安にして勘に頼る難しさが解消される。また、従来使用していた可変抵抗器は振動部をもつため本質的に振動雑音と寿命の問題があるのに対し、本発明による信号量制御では減衰器部分が電子回路で構成し得るため、それらの問題は生じない。これが第 2 の特長である。

8

力と右入力を加算する回路であり、その出力はレベル検出器 52 に供給される。レベル検出器 52 の出力は A/D (アナログ-デジタル) コンバータ 53 に入力され、さらにゲート回路 49 を経てカウンタ 46 に至る。A/D コンバータ 53 にはパルス発生器 54 の出力も与えられるようになっている。スイッチ 47 は自動設定用のものであり、これはインバータ 48 を介して AND ゲート回路 49 および 50 に入力される。カウンタ 46 の各ビット出力はラッチ回路 44、コンバータ 46 に与えられ、ラッチ回路 44 の各ビット出力は抵抗減衰器群 3 および 6 の各アナログスイッチに与えられる。

第 2 図において、加算器 51 は例えば演算増幅器を用いて左入力と右入力を 1:1 の関係で加え合わせる働きをし、以後の自動レベル設定を両チャンネル信号の和信号で制御する。レベル検出器 52 は通常、入力信号のビーグルレベルを検出する回路で、絶対値回路と時定数の短かい平滑回路などで構成される。パルス発生器 54 は A/D コンバータ 53

のクロックパルスと A/D コンバータ 53 でサンプルされる毎にデジタルカウンタ 46 をクリアするためのクリアパルスとを発生する。AND ゲート回路 48・50 およびインバータ 49 はスイッチ 47 の操作によってカウンタ 46 を計数または保持状態に制御する働きをする。

ラッチ回路 44 は非ラッチ状態においてはカウンタ 46 の計数値をそのまま出力し、ラッチ状態では入力に関係なく前の値を維持する働きをする。コンバータ 45 はカウンタ 46 の計数出力  $A_1, A_2, A_3, A_4$  とラッチ回路の出力  $B_1, B_2, B_3, B_4$  とを比較し、 $A > B$  なる関係にあるときのみパルスを出力し、このパルスがラッチ回路 44 のラッチをはずして非ラッチ状態にし、カウンタ 46 の出力をラッチ回路 44 に出力する。

以上の説明から明らかなように、ラッチ回路 44 とコンバータ 45 は、カウンタ 46 の計数出力  $A_1, A_2, A_3, A_4$  がそれぞれ以前のラッチ出力  $B_1, B_2, B_3, B_4$  より大きい時のみラッチ出力を更新し、小さい時は前の出力を保持する。したが

ってカウンタ 46 から順次送られてくる計数値の最大値がラッチ回路 44 の出力に得られることになる。

この第 2 図の信号レベル制御装置においてレベル設定を行なおうとする時にはスイッチ 47 を押して設定状態にする。入力信号は加算器 51 およびレベル検出器 52 により左右の和信号の正負いずれかのビーコレベルに応じた直流電圧に変換され、これは A/D コンバータ 53 によって一定期間毎にサンプルされ、そのサンプル値は例えばパルス数に変換されて一定期間毎に AND ゲート回路 48 に送られる。今、スイッチ 47 は押されて短絡状態にあるから、AND ゲート回路 48 の他方の入力端子にはインバータ 49 を経て「H」レベルが印加されており、前記 A/D コンバータ 53 の出力パルスはカウンタ 46 の計数入力端子 (IN) に与えられることになる。

AND ゲート回路 50 にはインバータ 49 を経た「H」レベルとパルス発生器 54 からクリア用のパルスとが印加され、その出力がカウンタ 46 の

クリア入力に与えられる。パルス発生器 54 からのクリア用パルスは、A/D コンバータ 53 が一定期間毎にサンプルするのに同期し、かつ A/D コンバータ 53 がサンプル値をパルス数に変換して出力する直前に発生される。要するに、カウンタ 46 のクリア入力端子 (CL) に印加されるクリアパルスは、それ以前の計数値を累積しないようカウンタ 46 の計数値を 0 にリセットし、次のサンプル値に相当する計数に備えさせる。したがって、カウンタ 46 は、入力信号のビーコレベルの一定期間毎のサンプル値に相当する計数値を出力する。この計数値は前述したラッチ回路 44 およびコンバータ 45 による最大値保持動作により、スイッチ 47 を押している期間の最大値がラッチ回路 44 の出力  $B_1, B_2, B_3, B_4$  に得られる。ラッチ回路 44 の出力は抵抗減衰器群 3 の各アログスイッチ 8, 13, 17, 21 および抵抗減衰器群 6 の各アログスイッチ 30, 34, 38, 42 に接続され、1 段目から 4 段目までの抵抗減衰器を減衰状態もしくは非減衰状態に制御し、近

14

抗減衰器群 3 および 6 の総合減衰量を制御する。この例では入力信号のビーコレベルが非常に高くラッチ回路 44 の出力  $B_1, B_2, B_3, B_4$  が全て「H」になると各抵抗減衰器は全て減衰状態となり、その減衰量は 15 dB となり、入力端子 1 および 4 に与えられた信号を 15 dB 減衰させて出力端子 2 および 5 にそれぞれ送り出すことになる。また、入力信号のビーコレベルが非常に低く、例えばラッチ回路 44 の出力が全て「L」となると抵抗減衰器群 3 および 6 は非減衰状態となり、入力信号を減衰させることなく出力端子 2 および 5 にそれぞれ送り出すことになる。したがって出力端子 2 および 5 には概略一定レベルの信号が得られることになる。

スイッチ 47 を離すと AND ゲート回路 48 および 50 の入力には「L」レベルが与えられるためカウンタ 46 の計数入力端子 (IN) およびクリア入力 (CL) にはパルスが印加されず計数およびクリア動作を行なわない。したがってラッチ回路 44 の出力は以前の計数値を保持し続ける。

このようにスイッチ47は短絡時が設定状態、開放時が保持状態であり、設定状態で両入力の和信号のピーク値を計測し、そのピーク値に相当したレベル設定を実行し、保持状態では、そのレベル設定を保持し続ける。

この第2図に示した信号レベル制御装置は、例えばテープデッキの録音レベル設定に用いることができる。その場合、出力端子2および5がテープデッキの録音増幅器にそれぞれ接続され、磁気ヘッドに記録電流が供給される。スイッチ47の設定状態で抵抗減衰器群3および6の減衰量は例えば磁気テープの最大記録レベルに入力信号のピークが記録されるように設定される。

このようにすれば、左右両チャンネルの入力信号の和信号のピークレベルが磁気テープの最大記録レベルに記録され、それ以外の信号レベルでは最大記録レベル以下に記録される。したがって、両チャンネルの入力信号はチャンネル間にレベル誤差を生じることなく、かつ磁気テープの飽和ひずみを受けることなく自動的に記録されることに

なる。

第2図の実施例は、スイッチ47を押すだけで両チャンネルに対し最適レベル設定が実行されるため操作の煩わしさから解放される上に、入力信号のダイナミックレンジが圧縮されて記録される心配もない。さらにモータなどの機械部品を使用せず純電子的に行なえるため、コストダウンも容易である。また、従来のアナログ式のものに比較すれば、デジタル信号による制御を行なうため精度が数段優れたものを実現できる上に、保持状態での保持時間は電源を入れている限り永久であり、リード電流による設定レベルのドリフトなどは全く心配がないなどの数々の特長がある。

第3図は本発明の更に別な実施例であるが第2図とほとんど同じであり、異なる点は加算器51の代りに選択回路55が配置されている点である。なお、説明の便宜上、第2図におけるカウント46・ラッチ回路44・コンバレータ46・ANDゲート回路48・50、インバータ48、操作スイッチ47をまとめてデジタル制御部56として示し

た。

第3図において、選択回路55には入力端子1および4に与えられた左入力信号および右入力信号が加えられ、そのいずれかの信号を選択してレベル検出器52に供給する。

この第3図の自動レベル制御装置の場合、選択回路55は左入力または右入力信号のうち大きい方を選択するよう例えばダイオードを用いたANDゲート構成とすればよい。このようにすれば左右の出力端子2および5に得られる出力信号は左右いずれか大きい方の入力信号レベルに応じて自動設定されることになり、録音回路に適用された場合、いずれのチャンネルも最大記録レベル以下に抑えられ、かつ入力信号の左右バランスは保たれままレベル設定が行なわれる。

以上、詳細したように、本発明はステレオ装置などの複数の信号伝送路を有する装置の各伝送路にアナログスイッチにより制御される信号減衰器群を配位し、それらの信号減衰器群の信号減衰量を共通のデジタル信号で制御するように構成した

ため、チャンネル間偏差の少ないレベル設定ができる。従来のバランス調整を削除することができる。さらに共通のデジタル信号で制御するため、信号減衰器群を増設すれば何チャンネルでも制御することができるなど、優れた効果を發揮する。したがってテープデッキの録音回路におけるレベル設定などに有用である。

なお、前述の本発明の実施例では、信号減衰器群は抵抗とアナログスイッチによる抵抗減衰形で示したが、これは例えば増幅器の負帰還回路に抵抗とアナログスイッチを含む回路構を配位し、その増幅度（または信号伝送量）をデジタル信号によって制御する構成を採用してもよく、本発明に含まれることはいうまでもない。

#### 4. 図面の簡単な説明

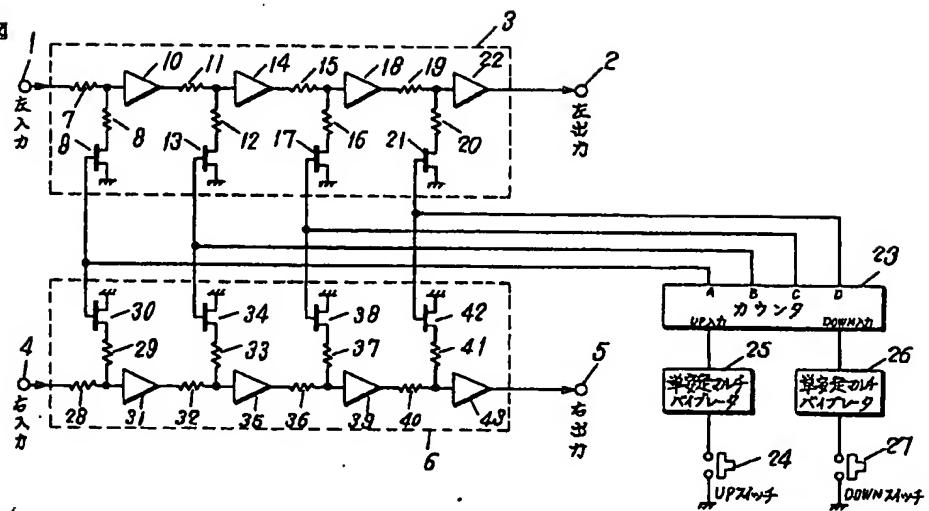
第1図は本発明の一実施例の要部回路構成図、第2図および第3図は、それぞれ本発明の他の実施例の要部回路構成図である。

1 ……左入力端子、2 ……左出力端子、3・8 ……抵抗減衰器群、4 ……右入力端子、5 ……右

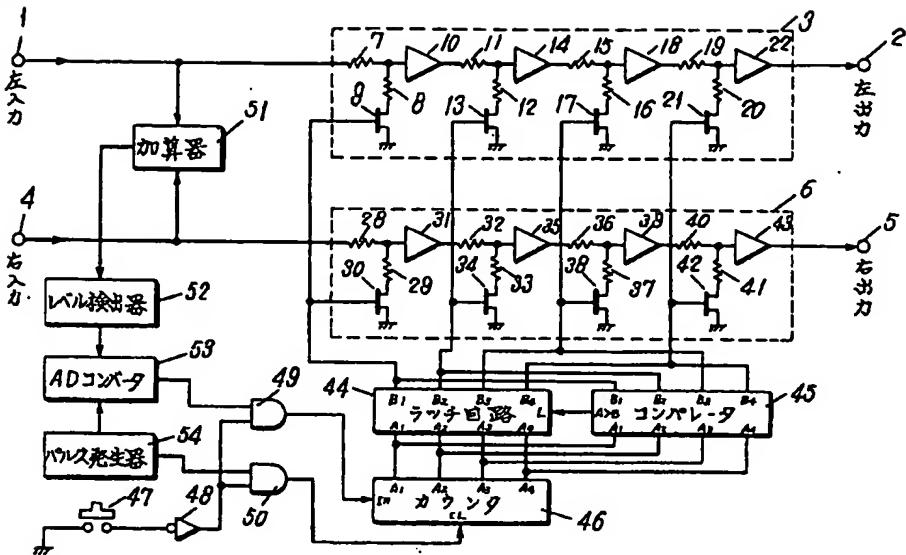
出力端子。 7・8・11・12・15・16・19・20・  
 28・29・32・33・36・37・40・41 ……抵抗器。  
 9・13・17・21・30・34・38・42 ……アナログ  
 スイッチ。 10・14・18・22・31・35・39・43  
 ……パッファ増幅器。 23・46 ……カウンタ。  
 24 ……UPスイッチ。 26・28 ……単安定マ  
 ルチバイブレータ。 27 ……DOWNスイッチ。  
 44 ……ラッチ回路。 45 ……コンバレータ。  
 47 ……操作スイッチ。 49・50 ……ANDゲ  
 ート回路。 51 ……加算器。 52 ……レベル検出  
 器。 53 ……ADコンバータ。 54 ……パルス発  
 生器。 55 ……選択回路。

代理人の氏名 弁理士 中尾敏男 ほか1名

第1図



销 2 图



第 3 図

